

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月27日
Date of Application:

出願番号 特願2003-088908
Application Number:

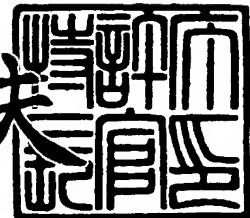
[ST. 10/C] : [JP2003-088908]

出願人 株式会社東芝
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 DTK03-002
【提出日】 平成15年 3月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/301
【発明の名称】 半導体装置
【請求項の数】 12
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 蓮沼 正彦
【発明者】
【住所又は居所】 三重県四日市市山之一色町800番地 株式会社東芝
四日市工場内
【氏名】 瓢崎 晃次
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社東芝
【代理人】
【識別番号】 100077849
【弁理士】
【氏名又は名称】 須山 佐一
【手数料の表示】
【予納台帳番号】 014395
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に少なくとも 1 層以上形成され、前記半導体基板の少なくとも四隅近傍で該四隅に沿う形状の欠損部によって全層が分断されており、かつ比誘電率が 3.8 以下である第 1 の絶縁膜と、

前記欠損部における前記半導体基板中央側で前記第 1 の絶縁膜の全層の側面を覆うように形成され、比誘電率が 3.8 超である第 2 の絶縁膜と
を具備することを特徴とする半導体装置。

【請求項 2】 前記第 1 の絶縁膜における前記欠損部が、前記半導体基板の周縁近傍でリング状に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の絶縁膜は、前記欠損部における前記半導体基板周縁側でも前記第 1 の絶縁膜の全層の側面を覆うように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記欠損部における前記第 2 の絶縁膜上に積層形成された導電体膜をさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記導電体膜上に積層形成された、比誘電率が 3.8 超である第 3 の絶縁膜をさらに具備することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 の絶縁膜は、前記第 1 の絶縁膜の上面をも覆うように形成され、

前記第 1 の絶縁膜の上面における前記第 2 の絶縁膜を貫通して設けられた導電体パターンをさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記第 1 の絶縁膜に埋め込み形成された導電体パターンをさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記導電体パターンは銅を含むことを特徴とする請求項 6 または 7 記載の半導体装置。

【請求項 9】 前記第 1 の絶縁膜が、複数の層からなることを特徴とする請

求項 1 記載の半導体装置。

【請求項 10】 前記第 1 の絶縁膜における前記欠損部の幅が、0.5 μm 以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 11】 前記欠損部から前記半導体基板周縁側における前記第 1 の絶縁膜の幅が、0.5 μm 以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 12】 前記第 1 の絶縁膜における前記欠損部の一辺の長さが 1 m 以上であることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に、比誘電率が 3.8 以下の絶縁膜を有する半導体装置に関する。

【0002】

【従来の技術】

層間絶縁膜を有する半導体装置（半導体チップ）において、層間絶縁膜の側面、すなわち半導体チップの周縁をシールしてその信頼性を向上する構造の例として下記特許文献 1 に開示されたものがある。これによるとシールする部材には配線と同材質の導電体が用いられている。製造工程としては、層間絶縁膜の側面への上記シールが形成されたあと、半導体ウエハがダイシングされて半導体チップに切り出される。

【0003】

【特許文献 1】

特開 2000-277465 号公報

【0004】

【発明が解決しようとする課題】

近年、半導体装置のさらなる動作速度向上のため、配線抵抗の低抵抗化や、層間絶縁膜の低誘電率化などが進められている。具体的には、配線の材料がアルミニウム (Al) から銅 (Cu) へ移行されている。また、層間絶縁膜も単純な S

SiO_2 膜からフッ素をドープした SiO_2 膜や、あるいは有機成分を含む SiO_2 膜をはじめとする低比誘電率膜（low-k膜）の採用が図られている。

【0005】

低比誘電率膜は、例えば、その材料の密度を小さくしたり、あるいは材料中の誘電分極性を排除するなどして得られる。材料密度の低減は、例えば材料を多孔質化（ポーラス化）することにより達成されるが、このような低比誘電率膜はヤング率などの機械的物性値が低い。すなわち、低比誘電率膜は、一般的にその材料自体の機械的強度が低い場合が多い。

【0006】

また、低比誘電率膜には、膜中の誘電率を下げるため極性の低い膜構造を採用したものがある。これによると、低比誘電率膜同士、あるいは低比誘電率膜と他の膜とを積層した積層膜の積層界面における密着強度が小さくなる。

【0007】

低比誘電率膜自体の機械的強度の低さや、低比誘電率膜を含む積層膜の界面における密着強度の低さは、その後の工程での不都合を生じる原因となる可能性がある。その結果半導体装置としての信頼性を損なうことが考えられる。なお、上記の特許文献1では、層間絶縁膜の機械的強度の低さや界面における密着強度の低さに何らかの対応を講ずることについて言及はない。

【0008】

本発明は、上記した事情を考慮してなされたもので、絶縁膜として低比誘電率膜を有する半導体装置において、絶縁膜の剥がれや破壊に耐性を有し信頼性向上が達成される半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記の課題を解決するため、本発明の一態様に係る半導体装置は、半導体基板と、前記半導体基板上に少なくとも1層以上形成され、前記半導体基板の少なくとも四隅近傍で該四隅に沿う形状の欠損部によって全層が分断されており、かつ比誘電率が3.8以下である第1の絶縁膜と、前記欠損部における前記半導体基板中央側で前記第1の絶縁膜の全層の側面を覆うように形成され、比誘電率が3

- ・ 8超である第2の絶縁膜とを具備することを特徴とする。

【0010】

【発明の実施の形態】

本発明の一態様に係る半導体装置によれば、低比誘電率膜である比誘電率3.8以下の絶縁膜は、半導体基板の少なくとも四隅近傍でこの四隅に沿う形状の欠損部によって分断されている。さらに、この欠損部における絶縁膜の半導体基板中央側側面は、比誘電率が3.8超である第2の絶縁膜によって覆われる。

【0011】

このような構造により、ダイシング時の破碎に由来する低比誘電率膜の剥がれや破壊はこの分断により半導体装置の中央側には広がらない。また、欠損部における絶縁膜の半導体基板中央側側面が、比誘電率が3.8超である第2の絶縁膜によって覆われることから耐湿性など耐環境性が向上するとともに機械的強度も改善される。よって、絶縁膜の剥がれや破壊に耐性を有し信頼性向上の達成された半導体装置が提供される。

【0012】

なお、比誘電率が3.8以下の低比誘電率膜には、フッ素がドープされたSiO₂膜 (SiOF膜: $\kappa = 3.4 \sim 3.7$)、有機シリカ膜 ($\kappa = 2.5 \sim 3.0$)、MSQ膜 (methyl silsesquioxane膜: $\kappa = 2.7 \sim 3.0$ 、多孔質化することにより $\kappa = 2.0 \sim 2.5$)、HSQ膜 (hydrogen silsesquioxane膜: $\kappa = 3.5 \sim 3.8$ 、多孔質化することにより $\kappa = 2.2$)、PAE膜 (polyarylether膜: $\kappa = 2.7 \sim 2.9$ 、多孔質化することにより $\kappa = 2.0 \sim 2.2$)、PTFE膜 (polytetrafluoroethylene膜: $\kappa = 2.1$) などがある。ちなみに、例えばフッ素がドープされたSiO₂膜のヤング率は約40GPaと比較的小さな値である。一方、比誘電率が3.8超の第2の絶縁膜としては、SiO、SiN、SiC、SiCNなどから適宜選択して用いることができる。

【0013】

ここで、絶縁膜の欠損部は、例えばRIE (reactive ion etching) 加工により形成することができるが、これに代えてレーザー加工など、絶縁膜自体およびその界面に剥がれ起点となる粗大または微細クラックが形成されない溝形成方法

を用いることもできる。R I E 加工では、平滑な加工が可能であり、またレーザー加工では、アブレーション（ablation）効果による加工のため、絶縁膜にクラックが発生しない上に、熱のリフロー効果により側面が滑らかになり界面が強化される利点がある。

【0014】

基板上の絶縁層を含む部位、すなわち多層配線層が形成された部位をダイシングする手法は多種提案されているが、最終的に基板であるS iなどを切断するためには、少なくともダイヤモンド刃を用いた従来のまたは改良された形での機械的切断が必要である。本発明の一態様に係る上記半導体装置では、S iなどの基板のみダイヤモンド刃を用いてダイシングする手法で生じる機械的ダメージから半導体装置を保護することも可能である。

【0015】

本発明者らは、半導体基板上に形成される絶縁膜（層間絶縁膜）に比誘電率が3.8以下であるようなlow-k膜を用いると、半導体チップをパッケージングする工程で膜剥がれ・膜破壊が生じ大きな問題となることを見出した。この膜剥がれ・膜破壊の主たる原因是、ダイシングして半導体チップに小片化するときにその端面に剥がれ起点が多数生起することによる。

【0016】

より具体的には、ダイシング自体が破碎工程であることより、切断面の絶縁膜界面または絶縁膜自体が大きな破壊ダメージを受け、剥離起点が多数できることによる。このような破壊ダメージは、特に配線を多層に形成する構造、すなわち配線を含む絶縁層が多層になる構造では発生頻度がより増加する。

【0017】

本発明の一態様に係る上記半導体装置は、パッケージング工程で応力集中度の高い半導体基板四隅近傍の上記ダメージによる影響を排除することにより、絶縁膜の剥離起点を実質的になくす。

【0018】

破壊ダメージの一例を図7を参照して説明する。図7は、半導体ウエハをダイシングする工程を模式的に示す参考図である。図7に示すように、多層配線を有

する半導体装置が多数形成された半導体ウェハ51をダイシングすると、ダイヤモンドを含む刃52で、半導体基板上に形成された多層配線を含む絶縁膜をもが破断される。そこで絶縁膜がlow-k膜であると、図7に示すように、絶縁膜に微小な剥がれ53の発生が観察される。その後、パッケージング工程において樹脂封止を行なうと発生する熱応力により剥がれが拡大し、さらにその後TCT(Temperature Cycle Test)を行なうと相当数の半導体チップが絶縁膜の剥がれ不良に至る。

【0019】

なお、このような不良発生を克服するためには、界面処理技術やRIE加工時のプロセスの最適化などによって、低比誘電率膜の膜強度や、低比誘電率膜を含む積層膜の界面における密着強度の向上を図ることも意味があると一応は考えられる。また、ダイシング砥粒の粒度をコントロールして破壊ダメージの軽減を図ることや、金属のガードリング(guard ring)を半導体チップのへり近くに配設することにより剥がれの内部への進行をくい止めることも意味があると一応は考えられる。

【0020】

さらに本発明者らは、low-k膜は透湿性が高く、ダイシング切断面や剥がれ面より、水分、プロセスガスが浸入し、バリアメタルやCu配線のコロージョンを引き起こすので、耐環境性の向上が必要であることも見出した。このためには、金属のガードリングにより湿度などの環境因子の進入を封止することも考えられるが、このガードリングの材質自体は耐食性が低いので、長期間の信頼性保持の点からさらなる耐性向上策が望まれるとの結論を得た。

【0021】

また、ダイシング工程として、レーザーアブレーション(laser ablation)を利用した技術が近年実用化されつつあるが、この方法を利用する場合でも、絶縁層を加工した後のSiなど半導体基板自体のダイシングはダイヤモンド刃により行われるので、破碎片が露出したlow-k膜にダメージを与え、剥がれ起点となることが危惧されるとの結論を得た。

【0022】

本発明の実施態様としては、前記第1の絶縁膜における前記欠損部が、前記半導体基板の周縁近傍でリング状に形成されているようにしてもよい。欠損部がリング状になるので第1の絶縁膜のダメージの発生はさらに小さくなる。

【0023】

また、本発明の実施態様としての半導体装置において、前記第2の絶縁膜は、前記欠損部における前記半導体基板周縁側でも前記第1の絶縁膜の全層の側面を覆うように形成されてもよい。欠損部の半導体基板周縁に形成された第2の絶縁膜が剥がれのチップ内部への進行をくい止める障壁となるので、膜剥がれや膜破壊に対する耐性はさらに向上する。

【0024】

また、本発明の実施態様としての半導体装置は、前記欠損部における前記第2の絶縁膜上に形成された導電体膜をさらに具備するようにしてもよい。第2の絶縁膜を最も外側の膜（いわゆるパッシベーション膜）としない例である。

【0025】

また、本発明の実施態様としての半導体装置は、前記導電体膜上に形成され、比誘電率が3.8超である第3の絶縁膜をさらに具備するようにしてもよい。例えば第3の絶縁膜はパッシベーション膜である。

【0026】

また、本発明の実施態様としての半導体装置において、前記第2の絶縁膜は、前記第1の絶縁膜の上面をも覆うように形成され、前記第1の絶縁膜の上面における前記第2の絶縁膜を貫通して設けられた導電体パターンをさらに具備するようにしてもよい。第2の絶縁膜を層間絶縁膜として第2の絶縁膜中に例えば配線を形成するものである。

【0027】

また、本発明の実施態様としての半導体装置は、前記第1の絶縁膜に埋め込み形成された導電体パターンをさらに具備するようにしてもよい。第1の絶縁膜を層間絶縁膜として第1の絶縁膜中に例えば配線を形成するものである。

【0028】

また、本発明の実施態様として、前記導電体パターンは銅を含むようにしても

よい。銅により例えば低抵抗の配線を形成する。

【0029】

また、本発明の実施態様として、前記第1の絶縁膜が複数の層からなるようにしてもよい。複数の層により例えば多層配線を形成するものである。

【0030】

また、本発明の実施態様として、前記第1の絶縁膜における前記欠損部の幅は0.5μm以上である。実験により得られた好ましい範囲である。

【0031】

また、本発明の実施態様として、前記欠損部から前記半導体基板の周縁側における前記第1の絶縁膜の幅は0.5μm以上である。同上である。

【0032】

また、実施態様として、前記第1の絶縁膜における前記欠損部の一辺は1mm以上である。これも同上である。

【0033】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図1は、本発明の一実施形態に係る半導体装置の構造を模式的に示す図である。図1(a)は上面図、同(b)は図1(a)中に示す矢視A-A a断面図である。この半導体装置はいわゆるペアチップの状態を示したものである。必要に応じてこの後パッケージングがされたり実装に供されたりする。

【0034】

図1(a)に示すように、この半導体装置は、半導体チップ10の四隅近傍にこの四隅に沿うかぎ状のくぼみ11a、11b、11c、11dを有する。ここでかぎ形状の一辺の長さをLとする。くぼみ11a、11b、11c、11d付近の断面は、図1(b)に示すような構造になっている。すなわち、半導体基板20上ほぼ全面に層間絶縁膜21が形成され、層間絶縁膜21中には銅などの金属からなる下層の配線21aのパターンが埋め込み形成されている。層間絶縁膜21は、いわゆるlow-k膜ではなく比誘電率が3.8超のものである(以下では、比誘電率が3.8超の層間絶縁膜を「通常の層間絶縁膜」ともいう。)。

【0035】

層間絶縁膜21の上側には、第1の絶縁膜としての層間絶縁膜22、23、24が、順次、積層形成されており、これらの層間絶縁膜22、23、24は、半導体チップの四隅近傍に沿ってこれらを貫通するように設けられた欠損部によって分断され、それぞれ欠損部の外側が層間絶縁膜の犠牲部22A、23A、24Aとされている。なお、図1(b)中、犠牲部22A、23A、24Aの外側の側面は、図7に示したような半導体ウエハのダイシングの際のダイシング切断面に対応するものである。ここで欠損部の幅をWAとし、犠牲部22A、23A、24Aの幅をWBとする。欠損部の内側はいわゆる能動領域として用いられ、図示していないが基板20上にはトランジスタなどの素子が形成されている。

【0036】

層間絶縁膜22、23、24、および犠牲部22A、23A、24Aは、対応する番号(参照符号)に応じて同時のプロセスにより形成されるlow-k膜である。その比誘電率は例えば2.7であり、また多孔質化されていてヤング率は例えば5GPaと低いものを使用している。

【0037】

層間絶縁膜22、23、24中には、それぞれ銅などの金属からなる配線22a、23a、24aのパターンが埋め込み形成されている。これらの配線22a、23a、24aにより配線の多層化がなされる。各層ごとの配線同士を電気的に接続するための構造(層間接続)もあるが図示省略している(後述の図で説明する)。なお、犠牲部22A、23A、24Aにも配線22a、23a、24aと同材質の導電体部が形成されているが、これは例えば製造工程においてマスク位置を合わせるためのダミーパターンやダイシングTEG(test element group)のためのパターンとして形成されたものである。

【0038】

層間絶縁膜22、23、24、および犠牲部22A、23A、24Aの上側および欠損部における底面とこれらの側面には、第2の絶縁膜としての上層の層間絶縁膜25が形成される。層間絶縁膜25は、通常の層間絶縁膜である。層間絶縁膜25中には、銅やアルミニウムなどの金属からなる上層の配線25aのパターンが埋め込み形成されている。また、欠損部において層間絶縁膜25の側面お

より底面には金属膜 27 が層間絶縁膜 25 上に積層形成される。この金属膜 27 は、配線 25a を形成するときに同時に形成されたものである。さらに、図示しないパット部を除く最上層全面にはパッシベーション膜 26 が形成され、このパッシベーション膜 26 表面には、半導体チップの四隅近傍に沿って層間絶縁膜 22、23、24 に設けられた欠損部に由来するくぼみ 11b などが形成されている。

【0039】

このような構造、すなわち low-k の層間絶縁膜 22、23、24 の欠損部外側（ダイシングライン側）に犠牲部 22A、23A、24A を設けた構造によると、ダイシング時の破碎片による機械的ダメージから low-k の層間絶縁膜 22、23、24 を保護することが可能となる。また、ダイシングライン上に発生したクラックからの犠牲部 22A、23A、24A の膜剥がれは欠損部によって遮断され、犠牲部 22A、23A、24A に剥がれが発生しても半導体チップ 10 内部へ進行することが回避される。

【0040】

また、欠損部における層間絶縁膜 22、23、24 の半導体基板 20 中央側側面が、比誘電率が 3.8 超である層間絶縁膜 25 によって覆われることから耐湿性など耐環境性が向上するとともに機械的強度も改善される。しかも、比誘電率が 3.8 超である層間絶縁膜 25 は犠牲部 22A、23A、24A の欠損部側側面をも覆うことで、犠牲部 22A、23A、24A で発生した剥がれの内部への進行をくい止める障壁となって、膜剥がれや膜破壊に対する耐性が向上している。さらに金属膜 27 やパッシベーション膜 26 が、欠損部において比誘電率が 3.8 超である層間絶縁膜 25 上に積層形成されることで、これらをいわゆるガードリングとして用いることも可能となり耐環境性、膜剥がれや膜破壊に対する耐性などの向上は一段と顕著になる。

【0041】

なお、この実施形態では、欠損部を半導体チップ 10 の四隅近傍に沿ってのみ設けているが、これは、形状的特性から特にこの部位がパッケージング工程時や半導体装置としての使用時の応力発生の大きい部位だからである。すなわち、応

力発生による層間絶縁膜22、23、24の剥がれや破壊に鑑み、特に重要な部位であることによる。

【0042】

次に、図1に示した半導体装置の製造方法について図2ないし図4を参照して以下説明する。図2ないし図4は、図1に示した半導体装置を製造する工程を示す図である。これらの図において、図1中に示したものと同一相当の部位には同一番号を付してある。

【0043】

まず、図2（a）に示す構造を形成する。すなわち、ダイシング前の半導体基板20の能動領域31上および合わせマーク配置領域32上、さらに図示しないダイシングライン上に、層間絶縁膜21、22、23、24とこれらの層間絶縁膜21、22、23、24中の配線21a、22a、23a、24aとを積層的に形成する。合わせマーク配置領域32は、例えばマスク位置を合わせるためのダミーパターン（合わせマーク）を形成する領域である。能動領域31と合わせマーク配置領域32との間には欠損部を形成するための領域を設けておく。

【0044】

より具体的には、基板20上の能動領域31にトランジスタ等の素子を周知の方法により形成した後、基板20上に通常の層間絶縁膜21および下層の配線21aを形成する。さらに、順次、low-kの層間絶縁膜22、23、24および配線22a、23a、24aを形成する。ここで用いた層間絶縁膜22、23、24は、比誘電率2.7、ヤング率5GPa、線膨張係数40ppm/°Cの膜である。

【0045】

図2（b）は、配線22aを含む層間絶縁膜22の構造をやや詳細に示すものである。層間絶縁膜22と、層間絶縁膜22上にd-TEOS（d-テトラエチルオルソシリケートグラス）によるSiOなどからなるキャッピング層22cとを形成しておいてから、層間絶縁膜22およびキャッピング膜22cに対してリソグラフィー技術およびRIE法を適用してビアホールおよびトレチを形成する。ビアホールにはビア（層間接続）22bを、トレチには配線22aをそれ

ぞれ形成する。

【0046】

ビアホールおよびトレーナを開孔後、PVD (physical vapor deposition) 法により例えばタンタル (Ta) のバリア導電体部22ab、22bbとCuシード層とをこの順でビアホール内壁およびトレーナ内壁を含む全面に成膜する。そして、電解メッキにより銅 (Cu) 膜を形成してビアホール内およびトレーナ内を銅で埋め、ビア体部22baと配線体部22aaとを形成する。

【0047】

続いて、成膜された銅膜に所望の熱処理 (アニール) を加えたあと、CMP (chemical mechanical polishing) 法によりキャッピング膜22c上の余剰銅膜、バリア導電体膜を取り除く。さらに洗浄処理を行ないSiCNなどからなるトップバリア膜22dを全面的に例えば50nm成膜する。トップバリア膜22dは絶縁膜であり、上側に位置するビアとの接続を要する位置では、上層の層間絶縁膜23に対するビアホールの開孔時に除去される。なお、図2 (b) を除く各図では各配線22aなどにつながるビアを図示省略している。

【0048】

以上の配線22aおよびビア22bの形成は、他の各層間絶縁膜21、23、24の配線21a、23a、24aについて同様である。ただし、このうち層間絶縁膜21は通常の層間絶縁膜であり、この層においてキャッピング膜の有無などは上記と同じでなくてもよい。このように、各層間絶縁膜21、22、23、24を下層からそれぞれ形成して、そのたびに配線21a、22a、23a、24aを形成するという工程を繰り返す。なおここでは、いわゆるCuダマシーン技術によって多層配線層を形成するプロセスを示したが、配線はAlやAgなどからなるものであってもよく、またリソグラフィー技術およびRIE法により配線のパターニングを行ってもよい。

【0049】

次に、図2 (c) に示すように、リソグラフィー技術およびRIE法により、半導体チップとしての四隅付近でかつ合わせマーク配置領域32より内側の部位に幅が例えばWA=0.5μmの欠損部を、low-kの層間絶縁膜22、23、2

4の下側に位置する層間絶縁膜21に達するまで形成する。これにより犠牲部22A、23A、24Aが欠損部の外側に分断形成される。なおここで、欠損部が層間絶縁膜21にも貫通するように形成されても構わない。また、上記RIE法に代えてレーザーアブレーションによる加工を行なってもよい。

【0050】

次に、図3(a)に示すように、最上層配線を有する層間絶縁膜25として、これをd-TEOS(比誘電率は4.2程度)により形成する。この層間絶縁膜25は、上記欠損部の底面および側面をも覆うことになる。そして、配線22aと同様な構造の配線25aを層間絶縁膜25に形成する。このとき、欠損部に位置する層間絶縁膜25の側面および底面上には銅の金属膜27が形成される。さらに、図3(b)に示すように、SiNなどからなるパッシベーション膜をその上全体に例えばプラズマCVD(chemical vapor deposition)により形成する。

【0051】

次に、図4に示すように、ダイシング刃39により犠牲部22A、23A、24Aの幅が例えばWB=0.5μmとなるように半導体ウエハを切断する。これにより図1に示した半導体装置を得ることができる。

【0052】

次に、図1に示した実施形態とは異なる実施形態について図5を参照して説明する。図5は、本発明の別の実施形態に係る半導体装置を示す上面図である。この実施形態に係る半導体装置では、図示するように、かぎ状のくぼみ11a、11b、11c、11dに代わり、リング状(周状)のくぼみ11が半導体チップ10Aの周縁近傍に設けられる。図5におけるA-Aa断面の構造は図1(b)に示すものと同様になる。

【0053】

この実施形態では、low-kの層間絶縁膜22、23、24における四隅のかぎ状の欠損部が、半導体チップ10Aの周縁に沿ってつながるようにリング状に設けられる。したがって、四隅近傍に限らず、層間絶縁膜22、23、24の剥がれや破壊が生じにくくなる。よって応力発生による層間絶縁膜22、23、2

4の剥がれや破壊に対する耐性をさらに高めることができる。

【0054】

なお、図1、図5に示した実施形態において、層間絶縁膜22、23、24の欠損部は半導体チップの四隅近傍でかぎ状に設けられたが、リソグラフィー工程の許容範囲内で適宜変形は可能であり、少なくとも半導体チップの四隅に沿う部位が欠損部となって膜剥がれの進行を遮断できるものであれば、他の形状であってもよい。また、半導体チップの四隅あるいは周縁から半導体基板中央側に向かって複数列の欠損部が設けられてもよく、さらに欠損部の半導体基板中央側に、配線21a、22a、23a、24a、25a(125a)と同時のプロセスによりいわゆるガードリングが別設されてもよい。

【0055】

次に、図1、図5に示した実施形態とは異なる実施形態について図6を参照して説明する。図6は、本発明のさらに別の実施形態に係る半導体装置の構造を模式的に示す図である。図6(a)は上面図、同(b)は図6(a)中に示す矢視B-Ba断面図である。図6において、すでに説明した部位と同一相当の部位には同一番号を付しその説明を省略する。

【0056】

この実施形態では、半導体チップ40の四隅近傍にこの四隅に沿うかぎ状のくぼみ41a、41b、41c、41dが存在する。くぼみ41a、41b、41c、41d付近の断面は、図4(b)に示すような構造になっている。すなわち、図1に示した実施形態における半導体装置との違いは、欠損部がlow-kの層間絶縁膜22、23、24に加えてそれらの上側に位置する通常の層間絶縁膜125をも貫通していることである。層間絶縁膜125には、配線125aが生み込み形成される。この配線125aの構造はビア部分を含めて先に述べたもの(配線22a)と同様である。

【0057】

このような半導体チップ40では、通常の層間絶縁膜125においても欠損部の外側に犠牲部125Aが形成される。さらに、この欠損部の側面上および底面上を含めて全面に第2の絶縁膜としてSiNなどからなるパッシベーション膜1

26が形成される。

【0058】

このような構造の製造工程について述べると、まず、図2(a)に示した状態に続けて層間絶縁膜125の堆積および配線125aの形成を行ない、その積層状態で欠損部をリソグラフィー技術およびRIE法により形成する。そして欠損部の側面および底面を含めてパッシベーション膜126を全面に形成することで図示の構造が得られる。RIE法に代えてレーザーアブレーションによる加工によってもよい。

【0059】

この実施形態によっても、low-kの層間絶縁膜22、23、24の欠損部外側(ダイシングライン側)に犠牲部22A、23A、24Aを設けているので、ダイシング時の破碎片による機械的ダメージからlow-kの層間絶縁膜22、23、24を保護することが可能となる。また、ダイシングライン上に発生したクラックからの犠牲部22A、23A、24Aの膜剥がれは欠損部によって遮断され、犠牲部22A、23A、24Aに剥がれが発生しても半導体チップ40内部へ進行することが回避される。

【0060】

また、欠損部における層間絶縁膜22、23、24の半導体基板20中央側側面が、比誘電率が3.8超であるパッシベーション膜126によって覆われることから耐湿性など耐環境性が向上するとともに機械的強度も改善される。しかも、パッシベーション膜126は犠牲部22A、23A、24A、125Aの欠損部側側面をも覆うことで、犠牲部22A、23A、24A、125Aで発生した剥がれの内部への進行をくい止める障壁となって、膜剥がれや膜破壊に対する耐性が向上している。

【0061】

次に、以上述べた実施形態たる半導体装置について試験を行なった結果について説明する。試験対象は、図1に示した実施形態であって欠損部をRIE法で加工・形成したもの(試験対象1)、図6に示した実施形態であって欠損部をRIE法で加工・形成したもの(試験対象2)、図1に示した実施形態であって欠損

部をレーザー・アブレーションで加工・形成したもの（試験対象3）、図6に示した実施形態であって欠損部をレーザー・アブレーションで加工・形成したもの（試験対象4）の4種である。

【0062】

ダイシング後得られた半導体チップ10、40を、パッケージング工程と同様にセラミック基板上に接着樹脂で固定した。そしてワイヤーボンディングを行うことにより半導体チップ10、40とパッケージ側の配線板とを導通後、モールド樹脂により半導体チップ10、40を封止した。このような試料1、2、3、4（それぞれ上記試験対象1、2、3、4に対応）をそれぞれ50個用意した。

【0063】

各試料に対し、高温側125℃、低温側-65℃のTCT（temperature cycle test）を1000サイクル行なった。試験では、100サイクルごとに試料を取り出し、電気特性の測定によって健全性を調べた。その結果、上記4種の試料すべてに関して1000サイクルの試験で不良は観察されなかった。

【0064】

また、TCT後の試料についてモールド樹脂を剥離して超音波顕微鏡で半導体チップ10、40の観察を行なったが、半導体チップ10、40での層間絶縁膜22、23、24の剥離は観察されなかった。さらに、半導体チップ10、40を切断し断面を表出させてSEM（scanning electron microscope）で観察を行なったところ、犠牲部22A、23A、24Aにはダイシング端側からその剥がれが観察されたが、そのダイシング端側から発生した剥がれが欠損部で止まっていることが明らかとなった。

【0065】

次に、比較例1として、上記各実施形態と同様な多層配線形成プロセスを用いかつ欠損部を設けないプロセスによるものをダイヤモンド刃でダイシングして半導体チップとして得、これを上記のように封止して試料とし、同様なTCTを行なった。

【0066】

この場合には、すでに、TCTを行なう前のモールド樹脂封止後の状態におい

て、20%の試料に導通不良が発生した。さらに、その時点では健全であった残りの試料に対し100サイクルのTCTを行うと、すべて(100%)の試料が導通不良となっていた。この100サイクルTCTの後の試料を解体・検査したところ、チップ四隅の層間絶縁膜に剥がれが生じており、その剥がれがダイヤモンド刃によりダイシングされた端部から進行していることが確認された。また、チップを切断して断面を観察すると、剥がれ界面はlow-k膜とトップバリア膜との界面であった。

【0067】

次に、比較例2、3として、図1に示した実施形態において欠損部の深さを層間絶縁膜22(low-k膜の最下層のもの)を残す深さとするプロセスによるもの、同様に欠損部の深さを層間絶縁膜23(low-k膜の中間層のもの)を残す深さとするプロセスによるものをそれぞれダイヤモンド刃でダイシングして半導体チップとして得、これを上記のように封止して試料とし、同様なTCTを行なった。

【0068】

この場合でも、比較例1と同様に、TCTを行なう前のモールド樹脂封止後の導通試験で20%の試料に不良がみられ、100サイクルのTCTの後では100%の試料に導通不良が発生した。これにより、low-kの層間絶縁膜の剥がれ防止を達成するためには欠損部をダイシング破断端よりチップ内側に形成することが必要であり、かつ欠損部の深さはlow-kの層間絶縁膜全層を貫通する深さであることが必要であると判明した。

【0069】

次に、欠損部の幅WAの所望値を検討するため実験を行なった結果について述べる。試料2において、半導体チップ40における欠損部の幅WAを0.2μm、0.5μm、1μm、2μm、5μmとした5種類のものを用意した(なお犠牲部幅WBは0.5μm)。これら5種類の試料に対して上記温度サイクルのTCTを行なった結果では、1000サイクルの試験後においても不良がみられなかった。

【0070】

さらに、耐湿試験として100°C、100%H₂O環境保持での加速試験を行なった結果では、WA = 0. 2 μmの試料において500時間の試験後にて5%の導通不良が発生した。この不良を半導体チップ40の切断により断面を表出して調べたところ、パッシベーション膜126が底部まで達しておらず、low-kの層間絶縁膜22、23、24の配線22a、23a、24aにはコロージョンが発生していることが確認された。よって、この不良はパッシベーション被覆不足によると判明した。

【0071】

以上の結果から、層間絶縁膜の剥がれに関しては欠損部の幅WAによる依存性はみられないものの、耐コロージョン性の観点より0. 5 μm以上の幅を有することが望ましいと結論づけられる。

【0072】

次に、犠牲部の幅WBの所望値を検討するため実験を行なった結果について述べる。試料1において、半導体チップ10における犠牲部の幅WBを0. 2 μm、0. 3 μm、0. 5 μm、1 μm、2 μm、5 μmとした6種類のものを用意した（なお欠損部幅WAは0. 5 μm）。これら6種類の試料に対して上記温度サイクルのTCTを行なった結果では、1000サイクルの試験後において、WB = 0. 2 μm、0. 3 μmの2種のものにそれぞれ2%の不良が発生した。一方、WB = 0. 5 μm以上の犠牲部を有する各試料においては不良は発生しなかった。

【0073】

以上の結果から、犠牲部の幅WBについては0. 5 μm以上の幅を有することが望ましいと結論づけられる。なお、参考までに試料2において、犠牲部の幅WB = 0としたものに関し同様な試験を行なったところでも、1000サイクル試験後に2%の不良が発生したので犠牲部は必要である。この場合、ダイシング破砕片が層間絶縁膜22、23、24側面を覆うパッシベーション膜126に直接機械的ダメージを与えたことに起因する膜剥がれが生じていることが不良解析の結果判明した。

【0074】

さらに、欠損部の一辺の長さ（層間絶縁膜の欠損によるくぼみの一辺長さ L に
対応）の所望値を検討するため実験を行なった結果について述べる。試料 1、2
、3、4において、層間絶縁膜 22、23、24 の欠損部の一辺長さを 1 mm と
したプロセスによるものを用意した。これらの試料に対して上記温度サイクルの
TCTを行なった結果では、1000 サイクル試験後も不良は発生しなかった。
このことから欠損部の一辺の長さは 1 mm 以上あれば好ましいと結論づけられる
。

【0075】

なお、以上の実施形態では説明を省略したが、各実施形態に示したように low-k の層間絶縁膜 22、23、24 に欠損部を設けることにより、製造途中において半導体ウエハの反りが低減されるという効果もある。これは、low-k の層間絶縁膜 22、23、24 がウエハ上で少なくとも所々分断されるからであり、反りの低減により、その後の工程が適用しにくくなる悪影響が排除できる。

【0076】

【発明の効果】

以上詳述したように、本発明によれば、ダイシング時の破碎に由来する低比誘電率膜の剥がれや破壊が欠損部による分断により半導体装置の中央側には広がらない。また、欠損部における絶縁膜の半導体基板中央側側面が、比誘電率が 3.8 超である第 2 の絶縁膜によって覆われることから耐湿性など耐環境性が向上するとともに機械的強度も改善される。よって、絶縁膜の剥がれや破壊に耐性を有し信頼性向上の達成された半導体装置が提供される。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る半導体装置の構造を模式的に示す図。

【図 2】

図 1 に示した半導体装置を製造する工程を示す図。

【図 3】

図 2 の続図であって、図 1 に示した半導体装置を製造する工程を示す図。

【図 4】

図3の続図であって、図1に示した半導体装置を製造する工程を示す図。

【図5】

本発明の別の実施形態に係る半導体装置を示す上面図。

【図6】

本発明のさらに別の実施形態に係る半導体装置の構造を模式的に示す図。

【図7】

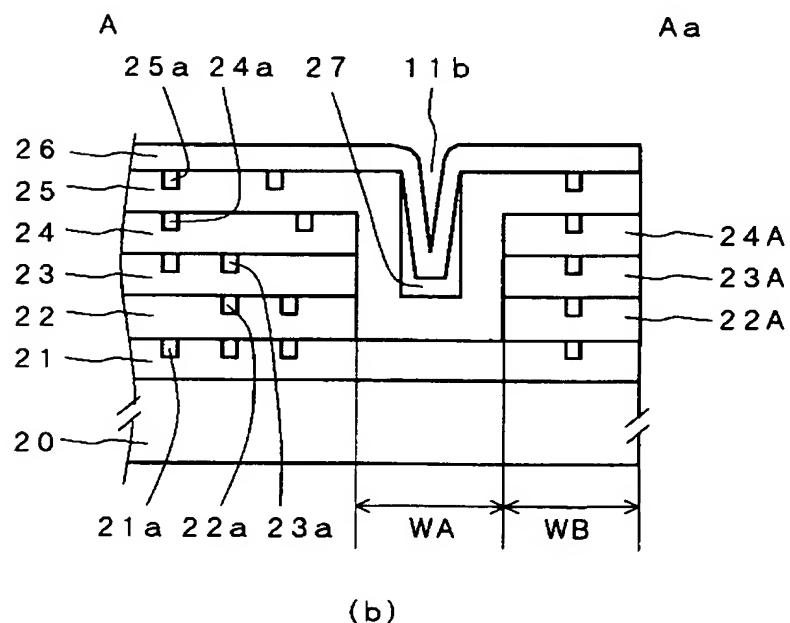
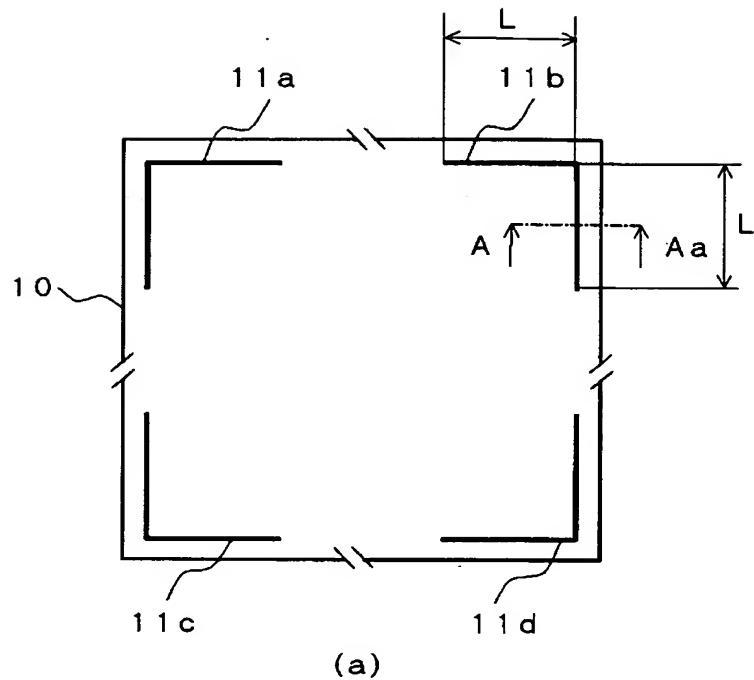
半導体ウエハをダイシングする工程を模式的に示す参考図。

【符号の説明】

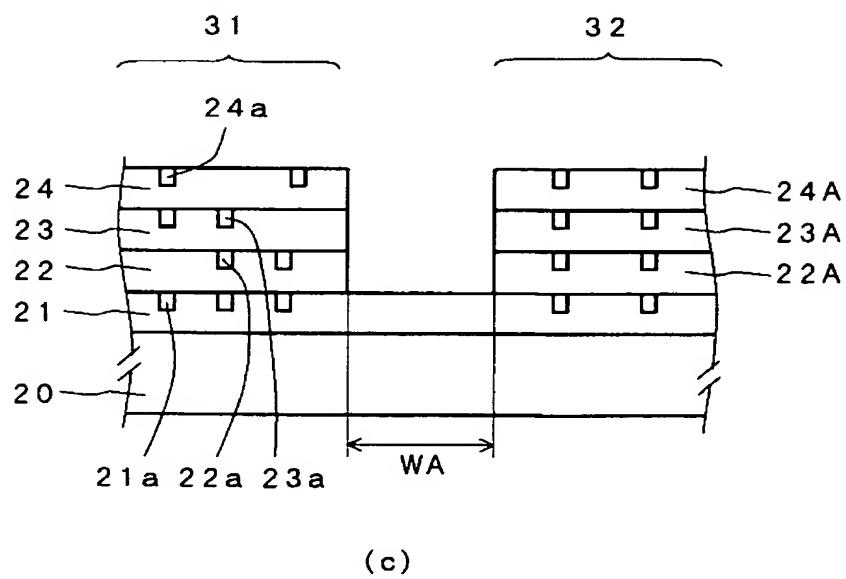
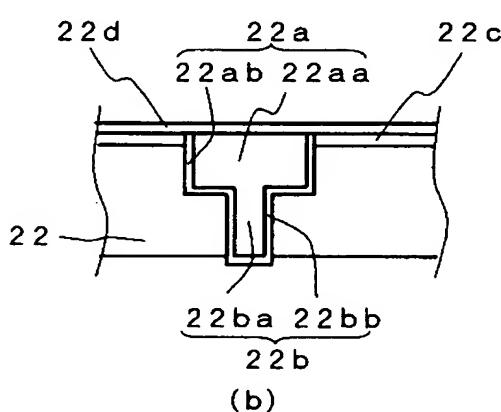
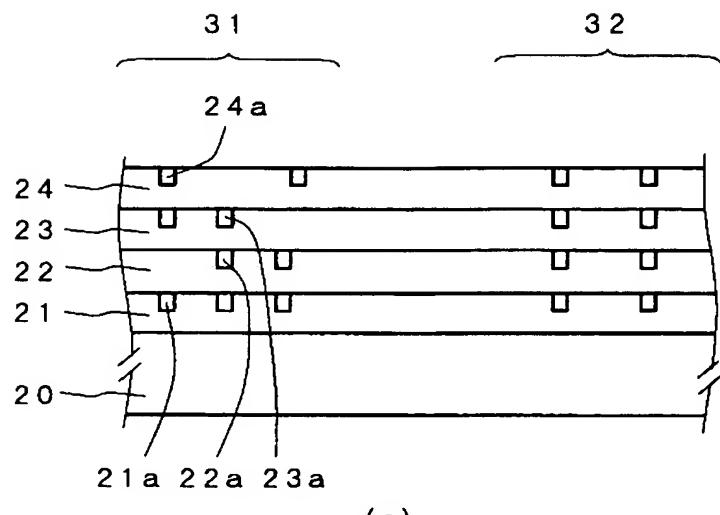
10、10A、40…半導体チップ 11、11a、11b、11c、11d
、41a、41b、41c、41d…層間絶縁膜の欠損によるくぼみ 20…半
導体基板 21…層間絶縁膜 21a…配線 22、23、24…層間絶縁膜（
low-k膜） 22A、23A、24A…層間絶縁膜の犠牲部（low-k膜） 22a
、23a、24a…配線 22aa…配線体部 22ab…バリア導電体部 2
2b…ビア 22ba…ビア体部 22bb…バリア導電体部 22c…キャッ
ピング膜 22d…トップバリア膜 25、125…層間絶縁膜 25a、12
5a…配線 26、126…パッシベーション膜 27…金属膜 31…能動領域
32…合わせマーク配置領域 39…ダイシング刃 125A…層間絶縁膜
の犠牲部

【書類名】 図面

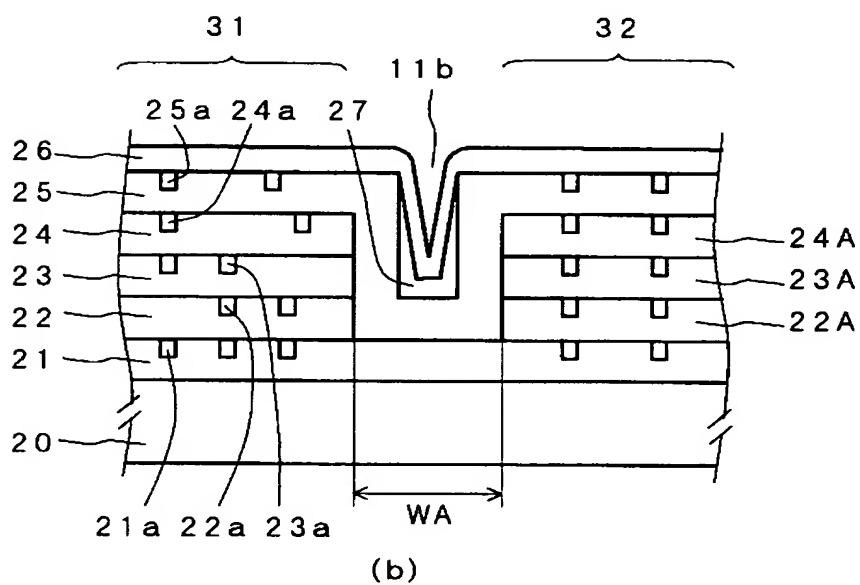
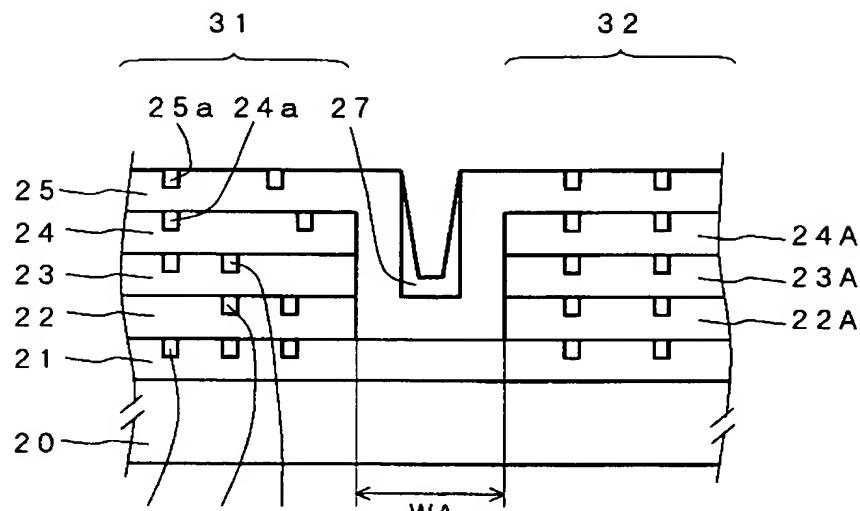
【図1】



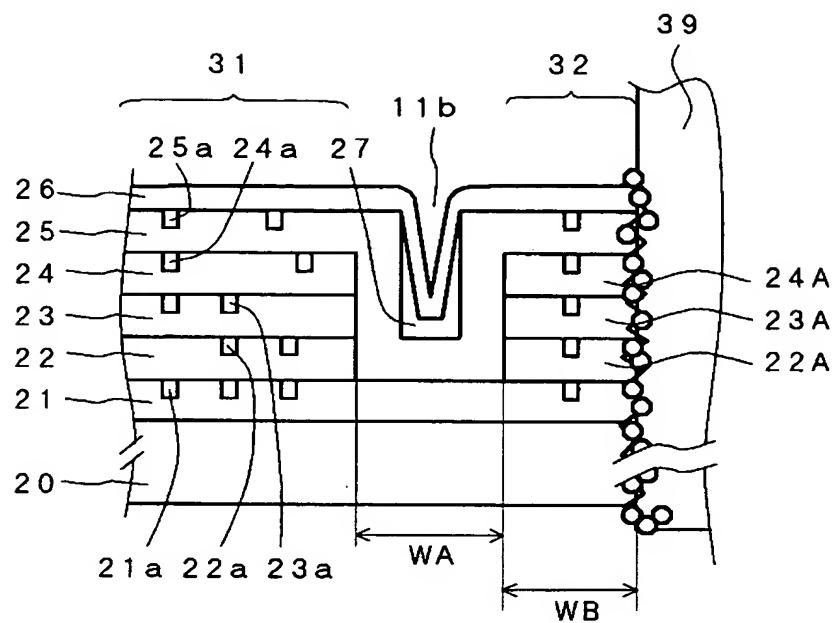
【図2】



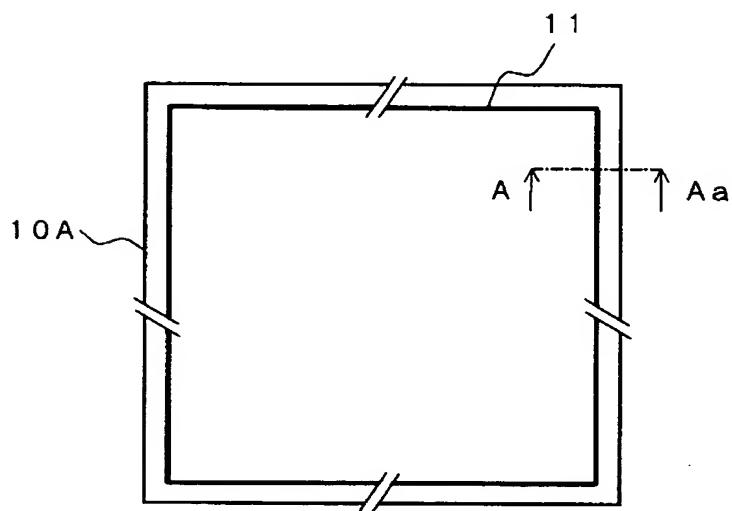
【図3】



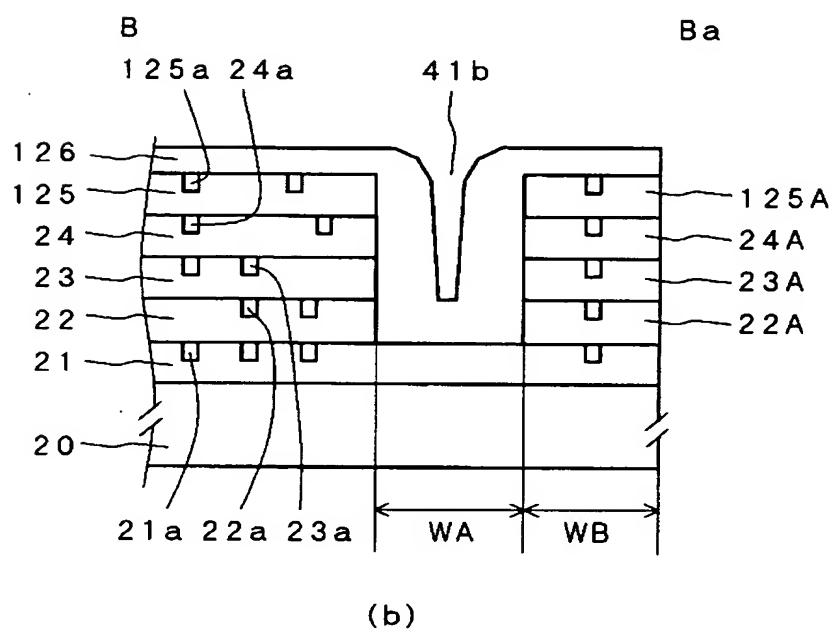
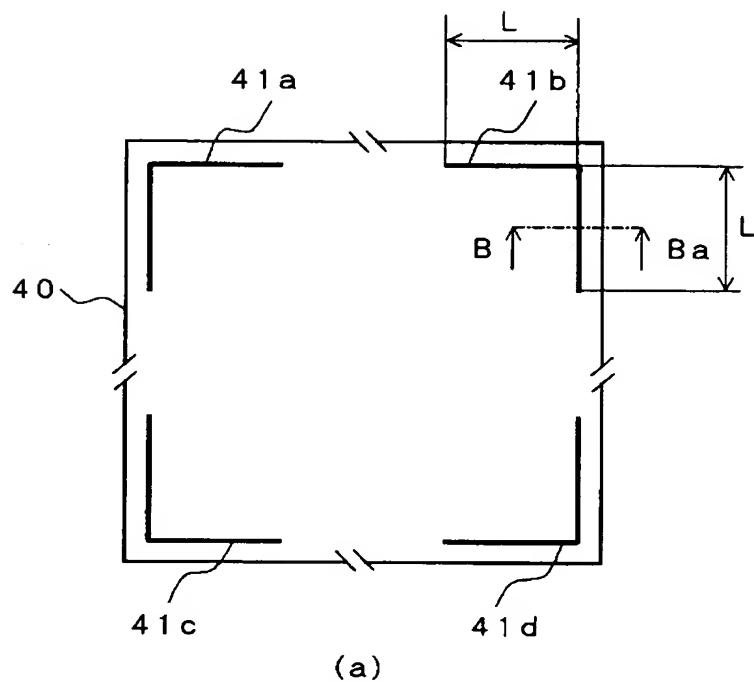
【図4】



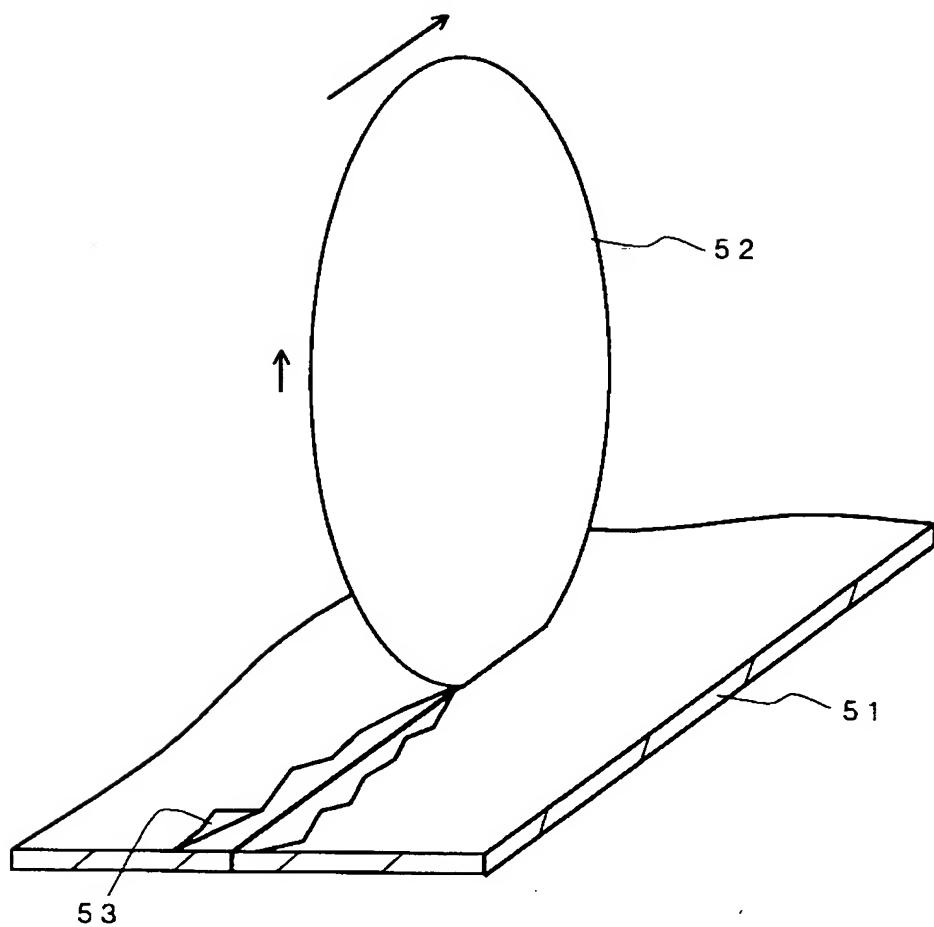
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 絶縁膜として低比誘電率膜を有する半導体装置において、絶縁膜の剥がれや破壊に耐性を有し信頼性向上が達成される半導体装置を提供すること。

【解決手段】 半導体基板と、半導体基板上に少なくとも1層以上形成され、半導体基板の少なくとも四隅近傍で該四隅に沿う形状の欠損部によって全層が分断されており、かつ比誘電率が3.8以下である第1の絶縁膜と、欠損部における半導体基板中央側で第1の絶縁膜の全層の側面を覆うように形成され、比誘電率が3.8超である第2の絶縁膜とを具備する。

【選択図】 図1

特願2003-088908

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝